

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-295238

(43)Date of publication of application : 20.10.1992

(51)Int.Cl. H02J 9/06
H02H 3/24

(21)Application number : 03-080508

(71)Applicant : NEC CORP

(22)Date of filing : 20.03.1991

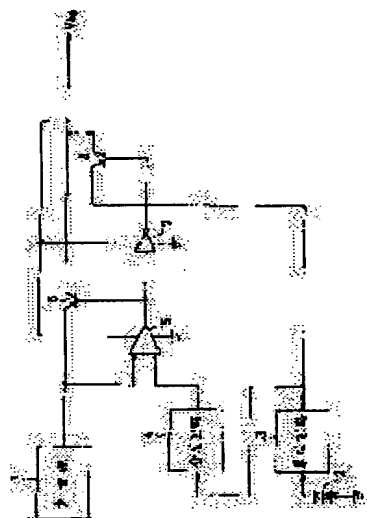
(72)Inventor : KAMEZAWA HIROSHI

(54) BACKUP POWER SUPPLY CIRCUIT

(57)Abstract:

PURPOSE: To provide a backup power supply circuit therefrom does not drop below the lower limit of backup voltage of a pseudo SRAM circuit, even if the output voltage of main power supply drops, by comparing the voltage of the main power supply with the output from a battery and switching the voltage through a switching transistor.

CONSTITUTION: A comparator 5 compares the output voltage of a main power supply 1 with that of a voltage dividing circuit 4. When the output of the comparator 5 is low, a switching transistor 6 turns ON to produce the output VBB of the main power supply 1. When the output of the comparator 5 is high, output from the main power supply 1 is not produced. When the output of an inverter 7 is low, a switching transistor 8 turns ON to produce a predetermined output voltage from a booster circuit 3 as the output from a backup power supply. When the output of the inverter 7 is high, output from the booster circuit 3 is not produced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平4-295238

(43) 公開日 平成4年(1992)10月20日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 2 J 9/06

D 8021-5G

H 0 2 H 3/24

A 9061-5G

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号

特願平3-80508

(22) 出願日

平成3年(1991)3月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 亀沢 広

東京都港区芝五丁目7番1号 日本電気株式会社内

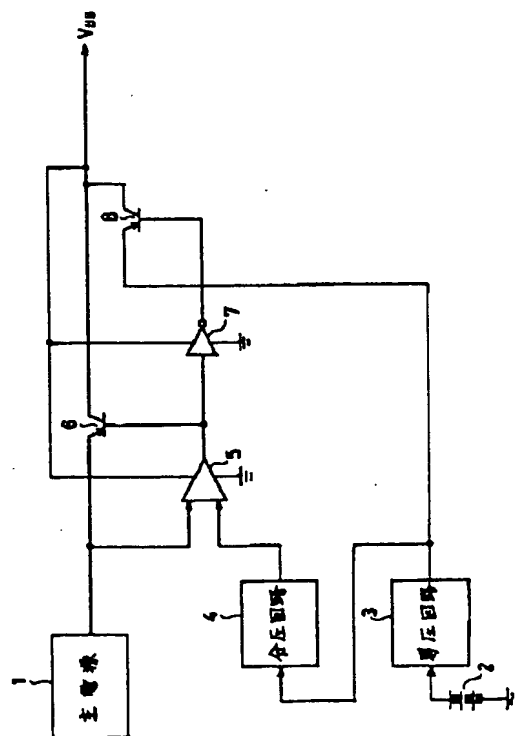
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 バックアップ電源回路

(57) 【要約】

【目的】 主電源の出力電圧+5Vが低下して0Vとなったときでも、疑似SRAM回路のバックアップ電源電圧の下限である+4.5Vを下回ることなしに+5Vを出力し続けるバックアップ電源回路を実現する。

【構成】 電池電圧+3.6Vを+5Vに昇圧する昇圧回路3を備えるとともに、この昇圧回路3の出力電圧+5Vを分圧して+4.6Vを出力する分圧回路4を備え、かつ+3.6Vの電池2と、主電源1の出力+5Vと分圧回路4の出力+4.6Vを比較するコンパレータ5と、このコンパレータ5の出力がベース端子に接続されるスイッチングトランジスタ6と、コンパレータ5の出力を反転させるインバータ7と、このインバータ7の出力がベース端子に接続されるスイッチングトランジスタ8を設ける。



【特許請求の範囲】

【請求項1】 主電源の出力電圧である第1の所定電圧が低下し第2の所定電圧より小さいときにメモリ回路に蓄積された内容の保持を行うために必要とされるバックアップ電源回路において、第3の所定電圧出力の電池と、この電池の出力電圧を前記第1の所定電圧に昇圧する昇圧回路と、この昇圧回路の第1の所定電圧出力を分圧して第2の所定電圧を生成する分圧回路と、前記主電源出力の第1の所定電圧と前記分圧回路出力の第2の所定電圧を比較して主電源出力が第2の所定電圧より大きい間はローレベルを出力し、主電源出力が第2の所定電圧より小さくなったときにはハイレベルを出力するコンパレータと、このコンパレータ出力がベース端子に接続されコンパレータ出力がローレベルのときにはON状態となり主電源出力である第1の所定電圧を本バックアップ電源回路の出力とする第1のスイッチングトランジスタと、前記コンパレータ出力を反転させるインバータと、このインバータ出力がベース端子に接続されインバータ出力がローレベルのときにはON状態となり前記昇圧回路出力である第1の所定電圧を本バックアップ電源回路の出力とする第2のスイッチングトランジスタとにより構成されることを特徴とするバックアップ電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電子回路を動作させるために必要となる主電源出力である所定電圧、例えば、+5Vが低下し所定電圧、例えば、+4.6Vより小さくなったときに、DRAM、SRAM、疑似SRAM等の半導体メモリ回路の内容を保持するために必要とされるバックアップ電源回路に関するものである。

【0002】

【従来の技術】 従来のこの種のバックアップ電源回路の一例を図2に示し説明する。この図2において、11は+5V電圧出力の主電源、12は+3.6V電圧出力の電池、13は主電源11の出力電圧と電池12の出力電圧を比較するコンパレータ、14はこのコンパレータ13の出力がベース端子に接続されコンパレータ13の出力によってON/OFFするスイッチングトランジスタ、15はコンパレータ13の出力を反転させるインバータ、16はこのインバータ15の出力がベース端子に接続されインバータ15の出力によってON/OFFするスイッチングトランジスタである。

【0003】 つぎにこの図2に示す従来のバックアップ電源回路の動作について説明する。まず、コンパレータ13は主電源11の出力電圧と電池12の出力電圧+3.6Vを比較して主電源11の出力電圧が+3.6Vより大きい間はローレベルを出力し、主電源11の出力電圧が+3.6Vより小さいときはハイレベルを出力する。そして、インバータ15はコンパレータ13の出力

を反転させる。すなわち、コンパレータ13の出力がローレベルのときはハイレベルを出力し、コンパレータ13の出力がハイレベルのときはローレベルを出力する。

【0004】 つぎに、スイッチングトランジスタ14はコンパレータ13の出力がローレベルのときはONして主電源11の出力を本バックアップ電源回路の出力 V_{BA} とする。また、コンパレータ13の出力がハイレベルのときはスイッチングトランジスタ14はOFFして主電源11の出力を本バックアップ電源回路の出力として出さない。スイッチングトランジスタ16はインバータ15の出力がローレベルのときはONして電池12の出力+3.6Vを本バックアップ電源回路の出力とする。また、インバータ15の出力がハイレベルのときはスイッチングトランジスタ16はOFFして電池12の出力を本バックアップ電源回路の出力として出さない。すなわち、主電源11の出力電圧が電池12の出力電圧+3.6Vより大きい間は本バックアップ電源回路の出力 V_{BA} は主電源11の出力電圧となり、主電源11の出力電圧が電池12の出力電圧+3.6Vより小さいときは本バックアップ電源回路の出力 V_{BA} は電池12の出力電圧+3.6Vとなる。そして、コンパレータ13とインバータ15は本バックアップ電源回路出力 V_{BA} によって動作する。

【0005】

【発明が解決しようとする課題】 上述した従来のバックアップ電源回路では、主電源11の出力電圧+5Vが低下して0Vとなったときの出力電圧 V_{BA} が電池12の出力電圧+3.6Vとなるため、バックアップ時でも+4.5V~+5.5Vの電源電圧を必要とする疑似SRAM回路のバックアップ用には使用できないという課題があった。

【0006】

【課題を解決するための手段】 本発明によるバックアップ電源回路は主電源の出力電圧である第1の所定電圧が低下し第2の所定電圧より低くなったときにメモリ回路に蓄積された内容の保持を行うために必要とされるバックアップ電源回路において、第3の所定電圧出力の電池と、この電池の出力電圧を上記第1の所定電圧に昇圧する昇圧回路と、この昇圧回路の第1の所定電圧出力を分圧して第2の所定電圧を生成する分圧回路と、上記主電源出力の第1の所定電圧と上記分圧回路出力の第2の所定電圧を比較して主電源出力が第2の所定電圧より大きい間はローレベルを出力し、主電源出力が上記第2の所定電圧より小さくなったときにはハイレベルを出力するコンパレータと、このコンパレータ出力がベース端子に接続されコンパレータ出力がローレベルのときにはON状態となり主電源出力である第1の所定電圧を本バックアップ電源回路の出力とする第1のスイッチングトランジスタと、上記コンパレータ出力を反転させるインバータと、このインバータ出力がベース端子に接続されイン

3

バータ出力がローレベルのときにはON状態となり上昇圧回路出力である第1の所定電圧を本バックアップ電源回路の出力とする第2のスイッチングトランジスタにより構成されるものである。

【0007】

【作用】本発明においては、主電源の出力電圧である第1の所定電圧、例えば、+5Vと分圧回路の出力電圧である第2の所定電圧、例えば、+4.6Vを比較して所定電圧、例えば、+4.5Vを下回ることのないようにバックアップ電源回路の出力 V_{ss} を生成する。

【0008】

【実施例】図1は本発明によるバックアップ電源回路の一実施例を示すブロック図である。この図1において、1は所定電圧、例えば、+5V電圧出力の主電源、2は所定電圧、例えば+3.6V電圧出力の電池、3はこの電池2の出力電圧である所定電圧、例えば+3.6Vを所定電圧、例えば、+5Vに昇圧する昇圧回路、4はこの昇圧回路3の所定電圧出力、例えば、+5Vを分圧して所定電圧、例えば、+4.6Vを生成する分圧回路、5は主電源1の出力の所定電圧、例えば、5Vと分圧回路4の出力の所定電圧、例えば、+4.6Vを比較して主電源1の出力が所定電圧、例えば、+4.6Vより大きい間はローレベルを出力し、主電源1の出力が所定電圧、例えば、+4.6Vより小さくなったときにはハイレベルを出力するコンパレータ、6はこのコンパレータ5の出力がベース端子に接続されコンパレータ5の出力がローレベルのときにはON状態となり主電源1の出力である所定電圧、例えば、+5Vを本バックアップ電源回路の出力とするスイッチングトランジスタ、7はコンパレータ5の出力を反転させるインバータ、8はこのインバータ7の出力がベース端子に接続されインバータ出力がローレベルのときにはON状態となり昇圧回路3の出力である所定電圧、例えば+5Vを本バックアップ電源回路の出力とするスイッチングトランジスタである。

【0009】つぎにこの図1に示す実施例の動作を説明する。まず、コンパレータ5は主電源1の出力電圧と分圧回路4の出力電圧である所定の電圧、例えば、+4.6Vを比較し主電源1の出力電圧が+4.6Vより大きい間はローレベルを出力し、主電源1の出力電圧が+4.6Vより小さいときはハイレベルを出力する。そして、インバータ7はコンパレータ5の出力を反転させる。すなわち、コンパレータ5の出力がローレベルのときはハイレベルを、コンパレータ5の出力がハイレベルのときはローレベルをそれぞれ出力する。

【0010】つぎに、スイッチングトランジスタ6はコンパレータ5の出力がローレベルのときはONして主電源1の出力を本バックアップ電源回路の出力 V_{ss} とす

4

る。また、コンパレータ5の出力がハイレベルのときはスイッチングトランジスタ6はOFFして主電源1の出力を本バックアップ電源回路の出力として出さない。そして、スイッチングトランジスタ8はインバータ7の出力がローレベルのときはONして昇圧回路3の出力である所定電圧、例えば、+5Vを本バックアップ電源回路の出力とする。また、インバータ7の出力がハイレベルのときはスイッチングトランジスタ8はOFFし昇圧回路3の出力を本バックアップ電源回路の出力として出さない。すなわち、主電源1の出力電圧が分圧回路4の出力電圧である所定電圧、例えば、+4.6Vより大きい間は本バックアップ電源回路の出力 V_{ss} は主電源1の出力電圧となり、主電源1の出力電圧が分圧回路4の出力電圧である所定電圧+4.6Vより小さいときは本バックアップ電源回路の出力 V_{ss} は昇圧回路3の出力電圧である所定電圧、例えば、+5Vとなる。

【0011】したがって、バックアップ電源回路の出力電圧 V_{ss} は疑似SRAM回路のバックアップ電源電圧の下限である所定電圧、例えば、+4.5Vを下回ることはない。なお、コンパレータ5とインバータ7は本バックアップ電源回路出力の V_{ss} によって動作する。

【0012】

【発明の効果】以上説明したように本発明のバックアップ電源回路は、電池電圧である所定電圧、例えば、+3.6Vを所定電圧、例えば、+5Vに昇圧する昇圧回路を備えるとともに、この昇圧回路の出力である所定電圧+5Vを分圧して所定電圧、例えば、+4.6Vを生成する分圧回路を備え、主電源の出力電圧と分圧回路の出力電圧である所定電圧、例えば、+4.6Vを比較して所定電圧、例えば、+4.5Vを下回ることのないように V_{ss} を生成するため、疑似SRAM回路のバックアップ電源回路として利用することができる効果がある。

【図面の簡単な説明】

【図1】本発明によるバックアップ電源回路の一実施例を示したブロック図である。

【図2】従来のバックアップ電源回路の一例を示したブロック図である。

【符号の説明】

- 1 主電源
- 2 電池
- 3 昇圧回路
- 4 分圧回路
- 5 コンパレータ
- 6 スwitchングトランジスタ
- 7 インバータ
- 8 スwitchングトランジスタ

The diagram shows a power supply system with the following components and connections:

- 1 主电源 (Main Power Source):** Provides the primary input voltage.
- 2 电池 (Battery):** A DC voltage source connected to the ground reference.
- 3 稳压电路 (Voltage Regulation Circuit):** Receives input from the battery and the feedback signal from the output.
- 4 分压电路 (Voltage Divider Circuit):** Receives input from the main power source and provides a feedback signal to the first op-amp.
- 5 运放 (Op-amp):** The first operational amplifier, configured as a voltage follower, with its non-inverting input connected to the voltage divider circuit.
- 6 三极管 (Transistor):** An NPN transistor whose base is connected to the output of the first op-amp. Its emitter is connected to ground, and its collector is connected to the main power source.
- 7 运放 (Op-amp):** The second operational amplifier, configured as an inverter, with its non-inverting input connected to ground and its inverting input connected to the output of the first op-amp.
- 8 三极管 (Transistor):** An NPN transistor whose base is connected to the output of the second op-amp. Its emitter is connected to ground, and its collector is connected to the output of the first transistor.
- 输出 (Output):** The final output voltage, labeled V_{out} .